

ABSOLUTE ADDRESS CONVERSION SYSTEM FOR INFORMATION PROCESSOR

Publication number: JP2189655

Publication date: 1990-07-25

Inventor: KAMO KAORU

Applicant: FUJITSU LTD

Classification:

- International: **G06F12/06; G06F12/02; G06F12/06; G06F12/02;**
(IPC1-7): G06F12/06

- European:

Application number: JP19890008920 19890118

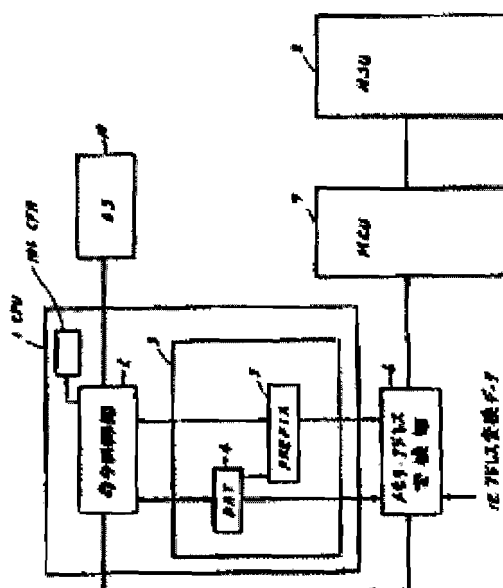
Priority number(s): JP19890008920 19890118

[Report a data error here](#)

Abstract of JP2189655

PURPOSE:To change the constitution of a main storage device within a short time by converting the absolute addresses of continued operating system (OS) using areas outputted from a storage control part into uncontinuous addresses in a main storage device changed at its capacity.

CONSTITUTION:When the OS outputs an instruction for rewriting a constitution control register relating to the main storage device 8, an absolute address conversion part 6 for converting the absolute address outputted from the storage control part 7 into a previously determined address is started. Then the address of the main storage device 8 specified by the OS is converted in accordance with the practical address of the main storage device 8 to access the main storage. Consequently, the constitution of the main storage device 8 is changed within a short time.



Data supplied from the **esp@cenet** database - Worldwide

⑫ 公開特許公報(A) 平2-189655

⑤Int. Cl.⁵

G 06 F 12/06

識別記号

D
H

庁内整理番号

8841-5B
8841-5B

⑬公開 平成2年(1990)7月25日

審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 情報処理装置の絶対アドレス変換方式

⑰特 願 平1-8920

⑱出 願 平1(1989)1月18日

⑲発 明 者 加 茂 薫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

情報処理装置の絶対アドレス変換方式

2. 特許請求の範囲

オペレーティング・システム使用領域とハードウェア制御用領域が含まれる主記憶装置(8)と、

前記主記憶装置(8)にアクセスする際に、オペレーティング・システム使用領域の絶対アドレスが連続でなければならないオペレーティング・システム(10)を有する情報処理装置に於いて、

前記オペレーティング・システム(10)からの仮想アドレスを絶対アドレスに変換し出力する記憶制御部(3)と、

前記記憶制御部(3)から出力された絶対アドレスを予め決められたアドレスに変換する絶対アドレス変換部(6)を有し、

前記主記憶装置(8)の容量変更を行う際にオペレーティング・システムが主記憶装置(8)に関する構成制御レジスタ(101)を書き換える命令を出した時に前記絶対アドレス変換部(6)を起動し、記憶

制御部から出力される連続したオペレーティング・システム使用領域の絶対アドレスを、容量変更後の不連続な主記憶装置(8)上のアドレスに変換することを特徴とする情報処理装置の絶対アドレス変換方式。

3. 発明の詳細な説明

〔概要〕

オペレーティング・システム使用領域とハードウェア制御用領域が含まれ、前記ハードウェア使用領域がアドレス最高位に位置する主記憶装置を有し、前記主記憶装置の容量変更を行う際に、ハードウェア制御用領域を主記憶装置のアドレス最高位に移動する情報処理装置に於いて、

主記憶装置の構成変更を、短時間で行うことを目的とし、

前記オペレーティング・システムからの仮想アドレスを絶対アドレスに変換し出力する記憶制御部と、前記記憶制御部から出力された絶対アドレスを予め決められたアドレスに変換する絶対アドレス変換部を有し、前記主記憶装置の容量変更を

行う際にオペレーティング・システムが主記憶装置に関する構成制御レジスタを書き換える命令を出した時に前記絶対アドレス変換部を起動し、記憶制御部から出力される連続したオペレーティング・システム使用領域の絶対アドレスを、容量変更後の不連続な主記憶装置上のアドレスに変換する構成とする。

〔産業上の利用分野〕

本発明は、メモリをシステム動作中に増設することが可能なシステムに関する。

〔従来の技術〕

従来の情報処理装置に於いては、オペレーティングシステム（以下、OSと略す）がアクセス出来る所の主記憶装置（以下、MSUと略す）の最高位のアドレスの更に上位に情報処理装置固有のハードウェア制御用領域があった。ハードウェア制御用領域に格納されているデータは、ハードウェアの制御をファームウェアで行う為のデータで、従来個々のハードウェアの側のローカルストレージ(LS)やコントロールストレージ(CS)に格納されて

CFR"命令をCPUに出力する。前記命令終了をOSに伝えることによって、MSUの増設は完了するが、仮にアドレス(b+1)からd迄のメモリを増設すると、OSが使用するアドレスは、0からc迄と(b+1)からd迄である。一方、ハードウェア制御用領域は、cからb迄である。

しかし、OSが利用するメモリのアドレスは連続である必要があるため、前記メモリの書き換えが必要である。

そこで、情報処理装置は、"LOAD CFR"命令の際に、情報処理装置本来の処理を停止し、ハードウェア制御用領域を、CPU、MCUがハードウェア及びファームウェアで、非ソフトウェア的に、前記アドレス0からd迄のアドレスの最高位アドレスに移動してから、"LOAD CFR"命令の処理終了をOSに伝え、情報処理装置の本来の処理を再開した。

〔発明が解決しようとする課題〕

従来の技術に於いては、MSUの増設、再構成を行う場合、ハードウェア制御用領域を移動する必要がある。

いたが、近年情報処理装置の規模、性能の向上に伴い、前記情報の一部をMSUに格納している。

さて、MSUの増設、再構成を行う場合には、情報処理装置上で動作するOSの為に、OSからアクセス出来るアドレスが連続である必要がある。これは、OSが利用するデータのアドレスは連続で無ければ成らない様にOSが構成されているからである。又、OSはハードウェア制御用領域がMSU上に有る事を認識していないからである。

仮に、アドレスが0からb迄あるとする。OSがアドレス0からc($0 < c < b$)迄の記憶領域を使用していたとすると、この時のハードウェア制御用領域は、cからb迄である。

さて、情報処理装置を使用中に、ジョブ、タスクの制御等の為に、MSUの増設を行う場合、前記記憶装置のアドレス(b+1)からアドレスを増設する事になる。

メモリを実装した後に、SVPから所定のコマンドが入力されたら、OSはCPU内の構成制御レジスタ（以下、CFRと略す）を書き替える命令"LOAD

従って、ハードウェア制御用領域を移動する間、情報処理装置は、本来の処理の為にMSUを使用することが出来ず、情報処理が出来なかった。通常、MSUを増設する場合、ハードウェア制御用領域を移動する時間は、30秒ぐらいかかる。情報が秒毎に変化する株価を扱う証券会社等で情報処理装置を使用している場合、前記ハードウェア制御用領域の移動にかかる時間は、業務に重大な支障を来す事に成り兼ねない。よって、情報処理装置の都合による処理停滞、処理停滞による情報欠落の発生しない情報処理装置が求められている。

この為、MSUの一部をハードウェア制御用領域として使用している情報処理装置では、メモリの増設や再構成によりハードウェア制御領域を移動する為に、情報処理装置本来の処理を前記移動に要する間止めて置かれる為に、この移動に伴う停止時間を本来の処理からみて短くする必要があった。

従って、本発明は、メモリの増設、メモリの再構成にてハードウェアの制御用領域を移すことな

く、OSに対して、メモリ増設分が増設以前のメモリに追加された様に見せる、メモリの絶対容量が変化しただけの様に見せることを目的とする。

〔課題を解決する為の手段〕

上記の目的を達成する為には本発明は、オペレーティング・システム使用領域とハードウェア制御領域が含まれ、前記ハードウェア使用領域がアドレス最高位に位置する主記憶装置を有し、前記主記憶装置の容量変更を行う際に、ハードウェア制御領域を主記憶装置のアドレス最高位に移動する情報処理装置に於いて、前記オペレーティング・システムからの仮想アドレスを絶対アドレスに変換し出力する記憶制御部と、前記記憶制御部から出力された絶対アドレスを予め決められたアドレスに変換する絶対アドレス変換部を有し、前記主記憶装置の容量変更を行う際にオペレーティング・システムが主記憶装置に関する構成制御レジスタを書き換える命令を出した時に前記絶対アドレス変換部を起動し、記憶制御部から出力される連続したオペレーティング・システム使用領域

の絶対アドレスを、容量変更後の不連続な主記憶装置上のアドレスに変換する構成とする。

〔作用〕

オペレーティング・システムが、主記憶装置に関する構成制御レジスタを書き換える命令を出した際に、記憶制御部から出力された絶対アドレスを予め決められたアドレスに変換する絶対アドレス変換部を起動する。その後、オペレーティング・システムが指定する主記憶装置上のアドレスを、実際の主記憶装置上のアドレスにあわせて変換し、主記憶装置にアクセスする。

〔実施例〕

第1図は本発明の一実施例のブロック図、第2図は第1図中の絶対アドレス変換部の回路図、第3図、第4図、第5図は実施例の動作例の説明図である。

第1図中、1はCPU、2は命令制御部、3は記憶制御部、4は動的アドレス変換部（以下、DATと略す）、5はプリフィクス変換部（以下、PRFXと略す）、6は絶対アドレス変換部、7は主記憶

制御装置（以下、MCUと略す）、8はMSU、10はOS（実際にはMSU8中の所定領域に記憶されている）、11は絶対アドレス変換部有効信号、12はアドレス変換データ、101は構成制御レジスタ（CFR）である。主記憶装置の増設は、保守員によってメモリが実装された後、所定のコマンドを図示しないSVPを介して、OS10に与えることによって、OS10がCPU1に“LOAD CFR”命令を実行させ、CFR101を書き換えることによって完了する。

以下、図面に従って実施例を説明する。

前記OS10は、“LOAD CFR”命令を命令制御部2に伝える。本実施例では、アドレス変換データを絶対アドレス変換部6に予め設定しておいて前記“LOAD CFR”命令を行う際に、命令制御部2は絶対アドレス変換部6を、アドレス変換部有効信号11によって有効にすることによって、OS10が認識しているアドレスと、実際には移動していないアドレスを対応させる為にはアドレス変換を行う。従来では、MSU8に格納されている情報の移動を行うのであるが、本発明では行わないで、命令制御部

2は、OS10に“LOAD CFR”命令終了を伝える。その後、OSは、通常どおりMSU8にアクセスする。

以下、第2図を参照する。

第2図(a)は3ビットのアドレスを変換する絶対アドレス変換部6の回路図である。仮に4メガバイトのMSUを、8メガバイトに増設し、1メガバイト単位でのアドレス変換を行う場合は、アドレスの上位3ビットは8通りであるから、上位3ビットのアドレス変換で十分である。上位3ビットを(A0,A1,A2)で表す。

以下、上記の場合を説明する。20,21,...,27はアドレス(A0,A1,A2)の選択回路で、それぞれ(000),(001),(111)を選択する。図示していないが、3ビットで構成されるその他のアドレス(010),(011),(100),(101),(110)に対応する選択回路が、あと5つ設けてある。前記アドレスの選択はゲート2000,2001,2007で行う。

第1図中のアドレス変換データ12は第2図中、C00,C10,C20,C01,C11,C21,C07,C17,C27である。前記信号(C00,C10,C20)は、選択回路20のFF(フ

リップ・フロップ) 回路61,62,63にそれぞれ入力される。信号(C01,C11,C21),(C07,C17,C27)は選択回路21,27の前記FF回路61,62,63に相当するFF回路に入力される。前記アドレス変換データ12は図示しない選択回路にも入力される。つまり、前記データは $\{C0n, C1n, C2n(0 \leq n \leq 7(n \text{ は自然数}))\}$ で構成される24ビットの信号である。

第1図中の絶対アドレス変換部有効信号11は、第2図中、E0,E1,...,E7に相当する。前記信号E0は選択回路20内のFF回路60に入力される。前記絶対アドレス変換部有効信号11は図示していない選択回路にも入力される。前記絶対アドレス変換部有効信号11は、アドレス(000),(001),(010),(011),(100),(101),(110),(111)に対応する $\{En(0 \leq n \leq 7(n \text{ は自然数}))\}$ で構成される8ビットの信号である。前記 En が'1'の時、それに対応するアドレスが変換される。

201はアドレス信号A0の変換回路である。アドレス信号A1,A2に対応する同様の変換回路があるが図示していない。前記変換回路201内のゲート

例として、アドレス(001)を(111)に変換する動作例を説明する。

選択回路20~27のゲート2000~2007にアドレス(001)が入力される。ゲート2001で選択され、(E1,C01,C11,C21)は、(1110)なので、出力(E1x,C01x,C11x,C21x)は(1110)になる。信号E1x,C01xはそれぞれ変換回路201のゲート210,220に入力され、A0xは1になる。信号(E1x,C11x)(E1x,C21x)は、アドレス信号A1,A2に対応する同様の変換回路のゲート210,220に対応するゲートに入力されて、それぞれ1,1を出力する。よって、前記3つの出力からアドレス(111)に変換される。その他の変換も同様に行われる。

さて、変換前のアドレスから変換したいアドレスに応じて、変換データ信号12 $\{C0n, C1n, C2n(0 \leq n \leq 7(n \text{ は自然数}))\}$ を変更することによって、異なる変換が可能となる。また、絶対アドレス変換部有効信号11 $\{En(0 \leq n \leq 7(n \text{ は自然数}))\}$ を変換することによって、変換されるアドレスと変換されないアドレスを設定することが出来る。以上

210には、選択回路の出力である信号 $\{Enx(0 \leq n \leq 7(n \text{ は自然数}))\}$ が入力される。ゲート220には $\{C0nx(0 \leq n \leq 7(n \text{ は自然数}))\}$ が入力される。アドレス信号A1,A2に対応する変換回路内のゲート210に相当するゲートにも $\{Enx(0 \leq n \leq 7(n \text{ は自然数}))\}$ が入力される。ゲート220に対応するゲートでは、アドレス信号A1,A2に対応する同様の変換回路において、 $\{C1nx(0 \leq n \leq 7(n \text{ は自然数}))\}$ 、 $\{C2nx(0 \leq n \leq 7(n \text{ は自然数}))\}$ が入力される。

第2図(b)はアドレス(A0,A1,A2)が変換される時の絶対アドレス変換部有効信号11 $\{En(0 \leq n \leq 7(n \text{ は自然数}))\}$ とアドレス変換データ12 $\{C0n, C1n, C2n(0 \leq n \leq 7(n \text{ は自然数}))\}$ 、選択回路からの出力 $\{Enx(0 \leq n \leq 7(n \text{ は自然数}))\}$ 、 $\{C0nx(0 \leq n \leq 7(n \text{ は自然数}))\}$ 、変換後のアドレス(A0x,A1x,A2x)を表にしたものである。表はアドレス(001),(010),(011),(111)をそれぞれ(111),(001),(010),(011)に変換する場合である。その他のアドレスは変換しないものとする。

の様に、第2図(a)の回路によれば、第2図(b)の様にアドレスが変換される。アドレス変換データを設定する手段については特にこだわらない。例えば、図示しないSVP(サービスプロセッサ)からレジスタに設定する様にすれば良い。

さて、第3図を使って実施例の使用例を説明する。Maは増設前のMSU8内にて、OS10がアクセスできた記憶領域、Mxは増設前のMSU8内のハードウェア制御用領域、Mbは増設した記憶領域、31はOSから見えるMSU8のアドレス、32は絶対アドレス変換部、33は実際のアドレス構成である。Ma,Mx,Mbの記憶容量はそれぞれa,x,bとする。

OS10は、MSU8を増設して、増加したOS10がアクセス出来る記憶領域Mbにアクセスするものとする。

OS10は、MSU8増設後、MSU8内のハードウェア制御用領域Mxが移動したと認識している(第3図中、31参照)。然し、実際のMSU8では、ハードウェア制御用領域Mxは移動していない(第3図中、33参照)。

さて、仮に、OS10は仮想アドレスFをアクセスする。前記アドレスFはOS10が認識しているMSU8のアドレスで、第3図31の記憶領域Mb中のアドレスとする。従って、前記アドレスFはアドレスaからアドレス(a+b-1)の間である。

しかし、実際のMSU8では、前記記憶領域Mbはアドレス(a+x)からアドレス(a+b+x)に位置し、前記絶対アドレスF'は、アドレス(a+x)からアドレス(a+b+x)の間に位置する。

さて、OS10は前記アドレスFをアクセスする命令を命令制御部2に出す。前記命令制御部2から記憶制御部3でOS10から指示された仮想アドレスが、実アドレスに変換される。

前記実アドレスが絶対アドレス変換部6でMSU8上の絶対アドレスF'に変換される。

その後前記アドレスはMCU7に入力され、MSU8をアクセスする。

第4図は、元々一つのマルチシステムを分割し2つのユニシステムとして使用していたものを、本来のマルチシステムに戻したものを主記憶装置

のアドレスにのみ着目して示したものである。42は絶対アドレス変換部、43は実際のMSU8のアドレス構成である。41はOS10が認識するアドレス構成である。

Ma(容量a)、及びMxa(容量xa)はそれぞれユニシステムAのOSがアクセス可能な領域と、ハードウェア制御用領域、Mb(容量b)及びMxb(容量xb)はそれぞれユニシステムBのOSがアクセス可能な領域と、ハードウェア制御用領域である。MSU8上のアドレスはMa(0~a-1)、Mxa(a~a-1+xa)、Mb(a+xa~a+b-1+xa)、Mxb(a+b+xa~a+b+xb-1+xa)の順にアドレスの下位から並んでいる。

前記ユニシステムをマルチシステムに再構成する際、OS10はMa, Mb, Mxb, Mxbの順にMSU8に位置している。

絶対アドレス変換部42は前記OS10から指定されたアドレスをそれぞれの記憶領域に属するアドレスが位置する実際のアドレスに変換する。

第5図は、絶対アドレス変換部を変換テーブル

で構成した実施例である。54はOS10から見えるMSU8のアドレス、59は実際のMSU8のアドレス、55は絶対アドレス変換部である。

絶対アドレス変換部55は、絶対アドレスの下位部分52に対しては一切変換を行わず、そのまま、出力する。上位部分に対してのみ変換を行う。絶対アドレス変換部55により出力されるアドレスは、実際のメモリを示す絶対アドレスを表す。第5図中、OS50がアドレス021000を指示した場合、絶対アドレス変換部55によりアドレス401000に変換される例を示す。この場合、絶対アドレス変換部55は上位アドレスのみ変換した。56は変換テーブルである。0,1,2が、0,1,40に変換される例を示している。また変換テーブル56は書き換えが可能である。

上記で述べた様に、本発明は本発明の要旨に従い、種々の変形が可能で有り、本発明はそれらを排除するものではない。

〔効果〕

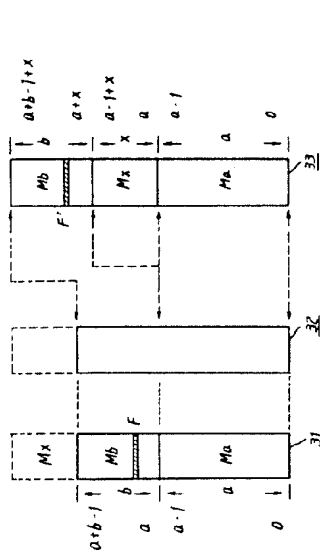
本発明によれば、メモリの一部にハードウェア

制御領域が有る場合に、メモリの動作中の追加、メモリの再構成を実施したとしても絶対アドレス変換部を書き直すだけで、メモリの増設及びメモリの再構成を行うことが出来る。また、本発明は、ハードウェア制御用領域の移動は不要であり、これに要する時間が発生しない事によって、情報処理装置の処理の停滞や処理の停滞による情報の欠落を防ぐことが出来る。併せて、間断なく情報が流入してくる情報処理装置におけるOS動作中のメモリ拡張に寄与することが大きい。

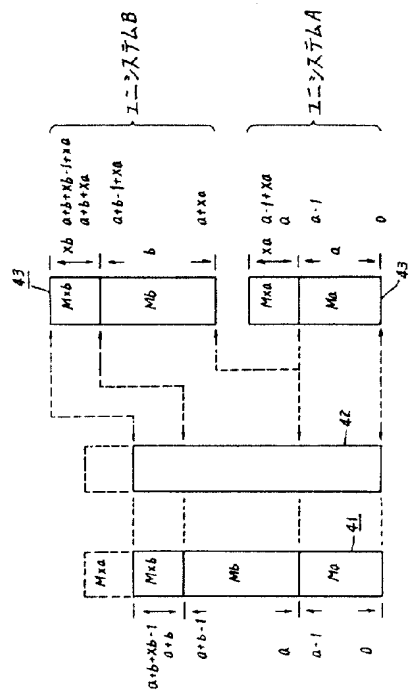
4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は絶対アドレス変換部の回路図、第3図、第4図は実施例の使用例の説明図、第5図は変換テーブルを用いた実施例の説明図である。

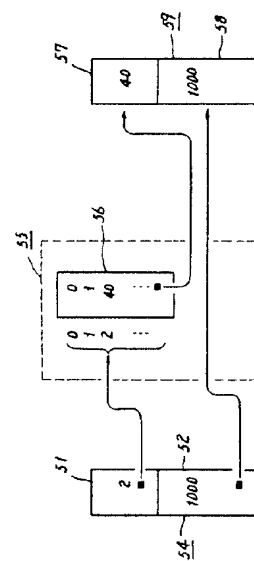
- 1・・・中央処理装置(CPU)
- 2・・・命令制御部
- 3・・・記憶制御部
- 4・・・動的アクセス変換部(DAT)
- 5・・・プリフィクス変換部



第3図



第4図



第5図